

PATENT ABSTRACTS OF JAPAN

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C), 1998-2000 Japanese Patent Office

(11)Publication number : 07-322130
(43)Date of publication of application : 08.12.1995

(51)Int.Cl. H04N 5/131
H04N 5/115

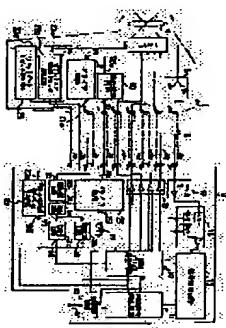
(21)Application number : 06-115392 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 27.05.1994 (72)Inventor : YOSHIDA JUNICHI FUJI YOSHIYUKI

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To provide an image pickup device which needs no phase compensating switch regardless of the length of a cable that connects a camera head to a controller.

CONSTITUTION: A camera head 1 is connected to a controller 2 via a cable 3. The head 1 includes a solid state image pickup element 5, a horizontal register transfer clock generating circuit 22 and a reset gate clock generating circuit 23. The controller 2 includes a circuit 62 which detects the phase difference between an external synchronizing signal and the synchronizing signal received from a synchronizing signal generating circuit 11 and converts the phase difference into the voltage, a circuit 67 which converts the output of the circuit 62 into the frequency, a circuit 27 which doubles an original clock received from the head 1, a circuit 10 which produces a solid state image pickup element driving pulse from the output of the circuit 27, and a circuit 28 which compares the phases with each other between the original clock of the head 1 and the clock which is sent to the circuit 11 from the circuit 10.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]

R-42はこの2つのクロックの位相を比較する。また、

2連音回路27内のOR38は2つの位相を比較した結果、予め定めた位相関係ないし位相差（この回路例ではEX-OR42の2つの入力の位相が同位相）でない場合には運動パルス発生回路10に入力されるクロックを1個除去することにより2つのクロックの位相差を一定にする。この動作を図10のタイミングチャート図を使って詳しく説明する。

（0041）遅延回路35を通過した原クロックは、遅延回路41により入力端子40に供給されるクロック（同じ信号号発生回路11に入力されるクロック）とエッジを捕えられ、そのクロックと共に位相比較用のEX-OR42に入力される。2つのクロックが位相比較用のEX-OR42に入力されると以下の動作によって、2つの入力クロックの位相差が一観的にされる。以前の位相は不明（図10では×と表示）だが、現時点では遅延回路41を通った原クロックが“H”、入力端子40に供給されるクロックが“L”になったとする。するとこの半周期の間は、位相比較用のEX-OR42は“H”を出力する。そのため、2連音回路27の出力（運動パルス発生回路10用クロックでOR38の出力）は、図に示すようにクロックが1個除去された形になる。入力端子40に供給されるクロックの方は次の半周期ではトリガーは立ち上がりとしたくなるエッジが無いため“L”的ままである。一方、遅延回路41を通った原クロックの方は次の半周期では“L”に反転するため、半周期で両者の位相が一致することになる。両者の位相が一致すると位相比較用EX-OR42は“L”を出力するため、EX-OR37の出力はOR38をそのまま通過し、その状態が維持される。

（0042）上述の説明は、カメラヘッドから送り出される原クロックと運動パルス発生回路10から同期信号発生回路11に出力されるクロックの位相差を一定にするために、比較回路28の出力を基に見ていてか否かという制御方法を行ったが、この除去する個数が1以外の場合であっても同様な効果を得られる。

（0043）以上のように実施例1の構成装置は、電圧変換手段（6）の出力である原クロックをカメラヘッド（11）に送り返し、これと前記運動パルス発生手段（10）から前記同期信号発生手段（11）へ出力されるクロックの位相差を一定にするよう制御をしているため、固体撮像素子（5）の出力と前記運動パルス発生手段（10）から出力される相間二重サンプリング用パルスの位相はケーブルの長さに拘わらず常に一定となる。従って、カメラヘッド（11）とカメラコントローラ（2）を接続するケーブル（3）がどのよう長さであっても、位相補償用の遅延回路をスイッチにより切り換

える必要の無い、つまり遅延回路切り換えスイッチが不要な撮像装置等で用いることができる。しかも、図示のように、2連音回路27と比較回路28が比較的簡単な回路

で実現できる。

（0044）実施例2

この実施例は、その全体的構成は実施例1と同じで、図に示す如くであるが、実施例1とは、2連音回路27および位相比較回路28の構成が異なる。以下これについて図11を参照して説明する。図11において、図5と同一の符号は同一または対応する部品を示す。

（0045）図5は遅延回路35の出力と入力端子40に供給されるクロックの位相を比較するD型フリップフロップ（DFF）である。6.8は、電源投入直後にDFF

F4.3をリセットするリセット回路で、抵抗4.4と、コンデンサ4.5とNOT4.6および4.7で構成されている。EX-OR48は遅延回路35から入力されるクロ

ックを位相比較用のDFF4.3の出力に基づき正端ある

いは反転して出力する。遅延回路36はEX-OR48から入力されるクロックを1/4周期遅延する。遅延回

路36とEX-OR49ことで2連音回路27を構成して

いる。

（0046）実施例2の全体的動作は実施例1と同じで子40に供給されるクロックの方は次の2連音回路27の動作を単に1/2分周るのであるから、次の半周期ではトリガーは立ち上がりとしたくなるエッジが無いため“L”的ままである。

（0047）遅延回路41を通過した原クロックの方は次の半周期では“L”に反転するため、半周期で両者の位相が一致することになる。両者の位相が一致すると位相比較用EX-OR42は“L”を出力するため、EX-OR37の出力はOR38をそのまま通過し、その状態が維持される。

（0048）上述の説明は、カメラヘッドから送り出される原クロックと運動パルス発生回路10から同期信号発生回路11に出力されるクロックの位相差を一定にするために、比較回路28の出力を基に見ていてか否かという制御手段を行ったが、この場合の同期信号の場合は図12のタイミングチャート図を使って詳しく説明する。

（0049）図12の実施例では位相比較をするのは、D

F4.3のリセットが解けてから入力端子40に供給さ

れるクロックの立上がりだけといふ構成となっているが、この比較するクロックが位相を比較するのかは、

（同期信号発生回路11に入力されるクロック）が予め

定めた位相、つまり正端な位相の場合を考える。この場

合は図14のタイミングチャート図から明らかなよう

に、リセットが解けても、DFF5.4のQ出力は

“L”（従ってクロック入力端子Cにはクロックが供給

される）であるから、DFF5.5のQ出力が“L”

（従ってこちらのクロック入力端子Cにもクロックが供

給されて繋ける）である。従って、EX-OR48の出力

は“L”であるから、遅延回路36に入力されるクロ

ックを位相比較用のDFF4.3の出力に基づき正端ある

いは反転して出力する。遅延回路36はEX-OR48

から入力されるクロックを1/4周期遅延する。遅延回

路36とEX-OR49ことで2連音回路27を構成して

いる。

（0050）実施例2の全体的動作は実施例1と同じで

この実施例は実施例1と同じで、図

1に示す如くであるが、実施例1とは、2連音回路27

および位相比較回路28を用いれば、運動パルス発生手段

内の遅延時間の如何に拘らず、所要の動作が実現でき

る。即ち、実施例1の回路では、運動パルス発生手段内

の遅延時間（基本クロックを1/2分周し、出力するま

での時間）が基準クロックの周期の1/2以上の場合に

は、所要の動作が実現できないが、実施例2ではこのよ

うな問題が解決できる。

（0051）実施例3

この実施例は実施例1と同じで、図

1に示す如くであるが、実施例1とは、2連音回路27

および位相比較回路28の構成が異なる。以下これにつ

いて図13を参照して説明する。図13において、図5

と同一の符号は同一または対応する部品を示す。

（0052）NOT5.0および5.1は遅延回路35の出

力にDFF4.3の入力端子Cから遅延回路35の出力が

“L”ではない場合には、2連音回路27に入力される

クロック（EX-OR48の出力）を反転することによ

り2つのクロックの位相差を一定にする。この動作を図

12のタイミングチャート図を使って詳しく説明する。

（0047）まず、遅延回路35の出力と入力端子40

に供給されるクロック（同期信号発生回路11に入力さ

れる）を比較した結果、予め定めた位相関係、つまり正常な位相のクロックが予め定めた位相関係、つまり正常な位相の結果である。OR5.2および5.5、DFF5.4および5.5、NOT5.0および5.1は遅延回路35の出

力のファンアウト数を増やすために設けられたバッファ

である。OR5.2および5.3、DFF5.4および5.5、

クロック（EX-OR48の出力）を反転することによ

り2つのクロックの位相差を一定にする。この動作を図

12のタイミングチャート図を使って詳しく説明する。

（0047）まず、遅延回路35の出力と入力端子40

に供給されるクロック（同期信号発生回路11に入力さ

れる）を比較した結果、予め定めた位相関係、つまり正常な位相のクロックが予め定めた位相関係、つまり正常な位相の結果である。OR5.2および5.3、DFF5.4および5.5、NOT5.0および5.1は遅延回路35の出

力のファンアウト数を増やすために設けられたバッファ

である。OR5.2および5.3、DFF5.4および5.5、

クロック（EX-OR48の出力）を反転することによ

り2つのクロックの位相差を一定にする。この動作を図

12のタイミングチャート図を使って詳しく説明する。

（0047）まず、遅延回路35の出力と入力端子40に供給されるクロック（同期信号発生回路11に入力される）を比較した結果、予め定めた位相関係、つまり正常な位相のクロックが予め定めた位相関係、つまり正常な位相の結果である。OR5.2および5.3、DFF5.4および5.5、NOT5.0および5.1は遅延回路35の出力のファンアウト数を増やすために設けられたバッファである。OR5.2および5.3、DFF5.4および5.5、クロック（EX-OR48の出力）を反転することにより2つのクロックの位相差を一定にする。この動作を図12のタイミングチャート図を使って詳しく説明する。

（0047）まず、遅延回路35の出力と入力端子40に供給されるクロック（同期信号発生回路11に入力される）を比較した結果、予め定めた位相関係、つまり正常な位相のクロックが予め定めた位相関係、つまり正常な位相の結果である。OR5.2および5.3、DFF5.4および5.5、NOT5.0および5.1は遅延回路35の出力のファンアウト数を増やすために設けられたバッファである。OR5.2および5.3、DFF5.4および5.5、クロック（EX-OR48の出力）を反転することにより2つのクロックの位相差を一定にする。この動作を図12のタイミングチャート図を使って詳しく説明する。

（0047）まず、遅延回路35の出力と入力端子40に供給されるクロック（同期信号発生回路11に入力される）を比較した結果、予め定めた位相関係、つまり正常な位相のクロックが予め定めた位相関係、つまり正常な位相の結果である。OR5.2および5.3、DFF5.4および5.5、NOT5.0および5.1は遅延回路35の出力のファンアウト数を増やすために設けられたバッファである。OR5.2および5.3、DFF5.4および5.5、クロック（EX-OR48の出力）を反転することにより2つのクロックの位相差を一定にする。この動作を図12のタイミングチャート図を使って詳しく説明する。

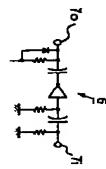
（0047）まず、遅延回路35の出力と入力端子40に供給されるクロック（同期信号発生回路11に入力される）を比較した結果、予め定めた位相関係、つまり

[6]

[17]

四
121

図14



102

四

Figure 10 illustrates the logic levels of various gates over time. The top section shows the outputs of OR3 and AND2. The bottom section is a waveform diagram with time markers for '次回の半周期' (next half-period) and '現在点' (present point). The legend indicates:

- OR 回路 3 の出力 (Output of OR circuit 3)
- AND 回路 2 の出力 (Output of AND circuit 2)
- 入力 A に印を付ける (Mark input A)
- 入力 B に印を付ける (Mark input B)
- 入力 C に印を付ける (Mark input C)
- 入力 D に印を付ける (Mark input D)
- 入力 E に印を付ける (Mark input E)
- 入力 F に印を付ける (Mark input F)
- 入力 G に印を付ける (Mark input G)
- 入力 H に印を付ける (Mark input H)
- 入力 I に印を付ける (Mark input I)
- 入力 J に印を付ける (Mark input J)
- 入力 K に印を付ける (Mark input K)
- 入力 L に印を付ける (Mark input L)
- 入力 M に印を付ける (Mark input M)
- 入力 N に印を付ける (Mark input N)
- 入力 O に印を付ける (Mark input O)
- 入力 P に印を付ける (Mark input P)
- 入力 Q に印を付ける (Mark input Q)
- 入力 R に印を付ける (Mark input R)
- 入力 S に印を付ける (Mark input S)
- 入力 T に印を付ける (Mark input T)
- 入力 U に印を付ける (Mark input U)
- 入力 V に印を付ける (Mark input V)
- 入力 W に印を付ける (Mark input W)
- 入力 X に印を付ける (Mark input X)
- 入力 Y に印を付ける (Mark input Y)
- 入力 Z に印を付ける (Mark input Z)

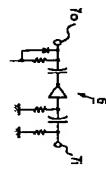
[11]

88 : リセット回路

۱۳

121

図14



102

四

Figure 10 illustrates the logic levels of various gates over time. The top section shows the outputs of OR3 and AND2. The bottom section is a waveform diagram with time markers for '次回の半周期' (next half-period) and '現在点' (present point). The legend identifies the signals:

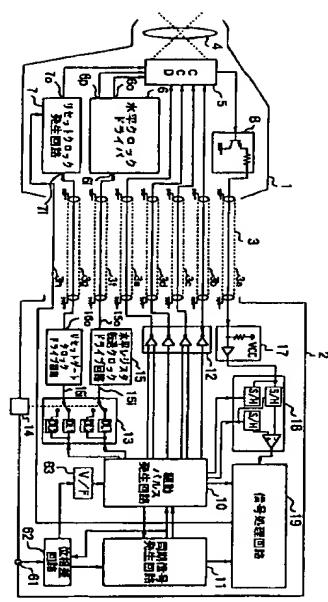
- OR 回路 3 の出力 (Output of OR circuit 3)
- AND 回路 2 の出力 (Output of AND circuit 2)
- 入力信号 4 に印を付ける
クロック (Clock signal with a mark on input signal 4)
- 入力信号 1 に印を付ける
クロック (Clock signal with a mark on input signal 1)
- 入力信号 3 に印を付ける
クロック (Clock signal with a mark on input signal 3)

[11]

88 : リセット回路

۱۳

[51]



12

